

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01518234 **Image available**

CHARGE TRANSFER DEVICE

PUB. NO.: 59-229834 [JP 59229834 A]

PUBLISHED: December 24, 1984 (19841224)

INVENTOR(s): MATSUMOTO SHUZO

KONDO KAZUO

TSUKASAKI HISANOBU

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 58-104122 [JP 83104122]

FILED: June 13, 1983 (19830613)

INTL CLASS: [3] H01L-021/66

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD & BBD)

JOURNAL: Section: E, Section No. 312, Vol. 09, No. 102, Pg. 128, May
04, 1985 (19850504)

ABSTRACT

PURPOSE: To prevent drop of output bias voltage by providing a third source follower consisting of P channel FET between a first source follower and a second source follower.

CONSTITUTION: The source of a first source follower FET101 is connected to the gate of a third source follower FET111, the source of FET111 is connected to the gate of a second source follower FET102, and the source of FET102 is used as the output terminal 110. Thereby, a bias voltage of signal voltage generated at the output diffusion layer 6 of CCD drops by a voltage $VGS_{(sub\ 1)}$ between the gate and source of FET101 and is then applied to the gate of FET111. However, since the FET111 is a P channel FET, the bias voltage applied to the gate rises by a voltage $VGS_{(sub\ 3)}$ between the gate and source of FET111 and appears at the source of FET111 and is then applied to the gate of FET102. Accordingly, $VL = V_{(sub\ 1)} - VGS_{(sub\ 1)} + VGS_{(sub\ 3)} - VGS_{(sub\ 2)}$, where input bias voltage is $V_{(sub\ 1)}$ and bias voltage of output terminal is VL . Namely, the bias voltage can be raised by a voltage value of $VGS_{(sub\ 2)}$.

SEARCHED INDEXED
BEST COPY

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
004208323

WPI Acc No: 1985-035203/198506

**Charge coupled device e.g. for TV delay line - has sufficient output
dynamic range and large output voltage NoAbstract Dwg 1/6**

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 59229834	A	19841224	JP 83104122	A	19830613	198506 B

Priority Applications (No Type Date): JP 83104122 A 19830613

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 59229834 A 10

Title Terms: CHARGE; COUPLE; DEVICE; TELEVISION; DELAY; LINE; SUFFICIENT;
OUTPUT; DYNAMIC; RANGE; OUTPUT; VOLTAGE; NOABSTRACT

Index Terms/Additional Words: CCD; COLOUR

Derwent Class: U13; U25; W03

International Patent Class (Additional): H01L-021/66

File Segment: EPI

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)⑪ 特許出願公開
昭59-229834⑫ Int. Cl.³
H 01 L 21/66識別記号
厅内整理番号
6851-5F⑬ 公開 昭和59年(1984)12月24日
発明の数 1
審査請求 未請求

(全 7 頁)

④電荷転送装置

②特 願 昭58-104122
 ②出 願 昭58(1983)6月13日
 ②発明者 松本靖三
 横浜市戸塚区吉田町292番地株
 式会社日立製作所家電研究所内
 ②発明者 近藤和夫
 横浜市戸塚区吉田町292番地株

式会社日立製作所家電研究所内
 ②発明者 塚崎久暢
 横浜市戸塚区吉田町292番地株
 式会社日立製作所家電研究所内
 ②出願人 株式会社日立製作所
 東京都千代田区神田駿河台4丁
 目6番地
 ④代理人 弁理士 高橋明夫 外1名

明細書

1 発明の名称 電荷転送装置

2 特許請求の範囲

電荷転送部と、前記電荷転送部から信号電荷が転送される出力拡散層と、前記出力拡散層とゲート電極を接続した第1のソースフォロワーFETと、出力端子にソース電極を接続した第2のソースフォロワーFETと、前記第1のソースフォロワーFETの出力信号をゲート入力信号とし前記第2のソースフォロワーFETの入力信号を出力信号とするドチャネルソースフォロワーFETとから構成されたことを特徴とする電荷転送装置。

3 発明の詳細な説明

〔発明の利用分野〕

本発明は、電荷転送装置に関する。

〔発明の背景〕

電荷転送装置(以下CCDと略称する)は、アナログ信号の送受信として、テレビ、VTR、ビデオカメラなどビデオ信号処理の分野で、多く

の用途が見出されている。周知のように、CCDの運転原理は、電荷を転送し、この転送時間を利用したものである。またCCDの出力信号は、一般に電荷ではなく電圧として取り出される。以下、信号電荷を出力信号電圧に変換する従来のCCDを図面を用いて説明する。

第1図は、従来のCCDを説明するためのCCDの出力部の一例を示す要部断面図、第2図は第1図の要部平面図である。同図において、1はP型の半導体基板、2はN型の埋込みチャネル3はP型イオン打込層、4は転送ゲート電極、5は蓄積ゲート電極、6は出力用N型拡散層、(以下、単に出力拡散層という)が、リセットMOSFET(以下単にリセットFETという)のソース電極であり、7はリセットFETのドレイン電極、8はリセットFETのゲート電極、9は二酸化シリコンからなる遮光物を示す。

また10は外部電源、21、22は運動信号A、Bの入力端子、23はリセット信号Cの入力端子を示す。なお前記2～5、21および22は電荷

転送部を構成している。

さらに 101,103 はそれぞれ出力パッファ用の第 1 のソースフォロワを構成するソースフォロワ FET と電流源用 FET を示し、102,105 はそれぞれ第 2 のソースフォロワを構成するソースフォロワ FET と電流源 FET を示す。110 は信号出力電圧の出力端子を示す。

この第 1 図の CCD は一般によく用いられる N チャネル 2 相駆動方式であり、また、この動作原理は次のようにある。すなわち、CCD の入力ゲート（図示せず）で注入された信号電荷電子が、ゲート電圧 4,5 下の電位井戸を経由して、出力拡散層 6 へ転送され、その結果、この出力拡散層 6 の容量と第 1 のソースフォロワ FET101 のゲート入力容量との和の容量 106（以下変換容量といふ）により、前記信号電荷が出力電圧として取り出される。信号電荷を Q 、出力電圧を ΔV 、変換容量を C_{IN} とすると

$$\Delta V = Q/C_{IN} \quad \cdots (式 1)$$

の関係がある。

前記出力電圧は第 1 のソースフォロワ FET101 第 2 のソースフォロワ 102 を絶て出力端子 110 へ取り出される。したがって出力電圧 ΔV のバイアス電圧を V_I とすると出力端のバイアス電圧 V_L は $V_L = V_I - V_{GS1} - V_{GS2}$ となる。

ここで V_{GS1} , V_{GS2} はそれぞれ第 1 ソースフォロワ FET, 第 2 ソースフォロワ FET のゲートソース間電圧である。従来技術の一例は第 1 表に示す構成値であり、電源 V_B が 12V の場合（第 1 表）は正常に動作するが、消費電力を低減するため電源 V_B を 9V まで低下すると出力端 110 のバイアス電圧 V_L が 1.7V（第 1 表）と低くなり、出力のダイナミックレンジが少くなり不都合である。

また出力ダイナミックレンジを確保するため FET101 のチャネル幅 W を大きくして、ゲート、ソース間電圧 V_{GS1} を少なくすることも考えられる。チャネル幅 W とゲートソース間電圧 V_{GS} の関係は $V_{GS} = \frac{L}{\sqrt{A_W}} \cdot I_D + V_{TH} \quad \cdots (式 2)$

である。ここで L は FET のチャネル長、 I_D は FET のドレイン電流、 V_{TH} はしきい値電圧、 A_W は比例定数を示す。またチャネル幅 W とゲート入力容量 C_{IN} の関係は大略

$$C_{IN} = K \cdot L \cdot W \quad \cdots (式 3)$$

ここで K は比例定数であり、チャネル幅 W を大きくするとゲート入力容量も大きくなる。そのため、変換容量 C_{IN} 106 も大きくなり、（式 1）にしたがって出力電圧 ΔV が小さくなる不都合がある。例えば第 1 表に示すように、FET101 のチャネル幅 W を 168 μm と大きくすると、ゲートソース間電圧 V_{GS1} は 1.7V と少くなり、出力端のバイアス電圧は 3.4V と大きくなり、ダイナミックレンジは確保されるが、変換容量 C_{IN} が 0.11PF と大きくなり、出力電圧 ΔV が 0.45VPP となつて不都合である。

またゲートソース間電圧 V_{GS1} を小さくするため（式 2）にしたがってドレイン電流 I_D を小さくすることも考えられる。この場合 FET の相互コンダクタンス gm が

第 1 表		単位	a	b	c	d
比較項目	場合					
電源電圧 V_B	101	V	12	9	9	9
FET チャネル長 L_1		μm	7	7	7	7
チャネル幅 W_1		μm	42	42	168	42
ドレイン電流 I_D_1		μA	26	26	26	6.5
ゲートソース電圧 V_{GS1}		V	3.4	3.4	1.7	1.7
相互コンダクタンス gm_1		μS	58	55	110	27.5
出力容量 C_{O1}		PF	0.5	0.6	0.6	0.6
通過周波数帯域 f_{out}	MHz	14	14	28	7	
変換容量 C_{IN}	PP	0.05	0.05	0.11	0.05	
出力電圧 ΔV	VPP	1.0	1.0	0.45	1.0	
出力バイアス電圧 V_L	V	4.7	1.7	3.4	3.4	

$$g_m = \sqrt{\frac{W}{L}} \cdot I_D \quad \text{--- (式 4)}$$

の関係にあり、低下する。その結果、FETの通過周波数帯域 f_{cut} が(式5)にしたがって低下する。

$$f_{cut} = \frac{g_m}{2\pi C_o} \quad \text{--- (式 5)}$$

ここで C_o はFETの出力容量、FET101においては第2ソースフォロワ FET102のゲート入力容量を含み第1図の符号107で示す容量 C_{o1} である。

例えば第1表4に示すように、FET101のドレイン電流 I_{D1} を $4.5\mu A$ と少なくすると、 V_{GS1} は $1.7V$ と少くなり、出力バイアス電圧は $3.4V$ と大きくなる。しかし FET101の相互コンダクタンス g_m が $27.5\mu S$ と少くなり、通過周波数帯域 f_{cut} が $14MHz$ から $7MHz$ と少くなりビデオ周波数に適して不都合である。なお出力端子接続されている第2ソースフォロワ FET102は負荷容量 $10PF$ でも通過帯域が $10MHz$ 以上となるようにチャネル幅は $400\mu m$ 以上と大きくしてある。

以上述べたように、従来技術では省電力のだ

特開昭59-229834(3)

め電源電圧を低くすると、出力ダイナミックレンジが低下するか、出力電圧が低下するか、通過周波数帯域が低下するかのいずれかの欠点を有している。

【発明の目的】

本発明の目的は上記した従来技術の欠点を除去し、低電圧電源で良好に動作するCCDを提供するにある。

【発明の概要】

前記の目的を達成するために、本発明では、第1ソースフォロワと第2ソースフォロワの間にPチャネル型FETから成る第3のソースフォロワを設け、Pチャネル型FETが生じる逆方向のゲートソース間電圧で、出力バイアス電圧の低下を防止するようとする。

【発明の実施例】

以下、本発明の一実施例を第3図に示し、これについて説明する。

同図において111は第3のソースフォロワを構成するPチャネルFET、112は前記ソースフ

ォロワの電源用FETを示す。なお第1図と同一所および同等部分には同一符号を付してある。

本実施例では第1のソースフォロワ FET101のソースを第3のソースフォロワ FET111のゲートに接続し、前記 FET111のソースを第2のソースフォロワ FET102のゲートに接続し、前記 FET102のソースを出力端子110としている。この構成により、CCDの出力拡散層6に発生した信号電圧のバイアス電圧は、FET101のゲートに加えられ、FET101のゲートソース間電圧 V_{GS1} だけ降下し、第3のソースフォロワ FET111のゲートに印加される。ところが FET111はPチャネルFETのため、ゲートに印加されたバイアス電圧はFETのゲートソース間電圧 V_{GS3} だけ上昇して FET111のソースに現われ、第2のソースフォロワ FET102のゲートに印加される。そして FET102のゲートソース間電圧 V_{GS2} の降下をして出力端子110に現われる。したがって入力バイアス電圧を V_I 出力端子のバイアス電圧を V_L とすると、

第2表

比較項目	単位	場合	
		a	b
電源電圧 V_E	V	9	9
Pチャネル長 L_1	μm	7	7
Eチャネル幅 W_1	μm	42	21
Tドレイン電流 I_{D1}	μA	24	26
101ゲートソース電圧 V_{GS1}	V	3.4	4.4
相互コンダクタンス g_m	μS	55	39
出力容量 C_{o1}	PF	0.15	0.15
通過周波数帯域 f_{cut}	MHz	58	41
Pチャネル長 L_2	μm	7	7
Eチャネル幅 W_2	μm	108	108
Tドレイン電流 I_{D2}	μA	32	32
111ゲートソース電圧 V_{GS3}	V	2.4	2.4
相互コンダクタンス g_m	μS	70	70
出力容量 C_{o3}	PF	0.6	0.6
通過周波数帯域 f_{cut}	MHz	18	18
変換容量 C_R	PF	0.05	0.04
出力電圧 ΔV	V	1.0	1.3
出力バイアス電圧 V_L	V	4.1	3.1

$$V_L = V_I - V_{GS_1} + V_{GS_2} - V_{GS_3}$$

となって、従来技術よりも V_{GS_3} の電圧だけ高くなることができる。実施例の動作例を第2表に示す。PチャネルFET111のゲートソース電圧 V_{GS_3} の2.4Vだけ従来の動作(第1表)より高くなり、出力バイアス電圧は電源9Vにもかかわらず、4.1Vと高く、良好な動作となる。また出力電圧 ΔV 、通過周波数帯域 f_{cut} もそれぞれ1.0V、18MHzと良好である。

また新たな効果として、CCDの出力電圧 ΔV を大きくすることができる。第2表より示すように、FET101のチャネル幅 W を $21\mu m$ と小さくすることにより、そのゲート入力容量を小さくし、CCDの変換容量 C_H を $0.04PF$ と小さくする。出力拡散層6の容量は $0.02PF$ であり、FET101のゲート入力容量が $0.02PF$ で拡散層容量とゲート入力容量をほぼ等しくしてある。その結果(式1)にしたがって出力電圧 ΔV は1.3Vと大きくなる。従来技術ではFET101のチャネル幅を少なくするとゲートソース間電圧 V_{GS_3} が大きくなり、出力

バイアス電圧 V_L が低くなつてダイナミックレンジが狭くなる不都合があつたが、本実施例においては、前記 V_{GS_3} が大きくなつた量だけPチャネルFET111のゲートソース間電圧 V_{GS_3} で補償するため、出力バイアス電圧 V_L は3.1Vと高くなり、良好に動作する。

また本発明による第3図に示す実施例は電源 V_B を9Vに低くして良好に動作させることができる。さらに本発明によれば電源電圧5~6V化も可能であり、したがつてポータブルVTR、ビデオカメラなど電池で動作する機器において、好適である。

また第4図に本発明をCCDと同じ半導体基板上に構成した実施例を示す。第4図において、113はPチャネルFETを作るためのN型層のウェル領域を示す。第3図と同等のものは同符号である。第4図において、P型半導体基板上にCCDを構成しているため、FET101,102などのNチャネルFETは同様に作れる。しかしPチャネルFETはN型半導体上に作るのでN型のウェル

113を設けている。本実施例の等価回路は第3図と同等であり、第3図の実施例と同等の効果がある。

また第5図に本発明の他の実施例を示す。第5図において、120はスイッチ制御電圧入力端子、121は前記制御電圧反転用インバータ、122はNチャネルFETスイッチ、123はPチャネルFETスイッチ、124はホールドコンデンサを示す。第3図と同等のものには同様の符号を付してある。一般にCCDの出力拡散層6に現われる電圧は第6図(a)に示すように、電源電圧 V_B でリセットされたクシ歯状の波形となり、CCD板送クロック周波数の成分を多く含んでいて、好ましくない。そのためスイッチとコンデンサから成るサンプルホールド回路を通して、第6図(b)に示すようにはとんど信号成分だけとなるように波形成形を行なう。

第5図において、CCDの出力拡散層6に現されたクシ歯状の電圧は第1ソースフォロワFET101を経て、FETスイッチ121,122に加えられ

る。前記スイッチ121,122は制御端子120の電圧がハイレベルの時導通状態となり、ホールドコンデンサ124を充電する。次に拡散層6の電圧がリセット電圧 V_B に変化する直前に、制御端子120の電圧をローレベルとし、スイッチ121,122を遮断状態とし、ホールドコンデンサ124の電圧を維持する。前記ホールドコンデンサ124の電圧をPチャネルFET111からなる第3のソースフォロワを通して、さらにNチャネルFET102の第2のソースフォロワを経て出力端子110に出力電圧として取り出す。

上述したように、NチャネルFET101の第1のソースフォロワとPチャネルFET111の第3のソースフォロワの間にスイッチ121,122コンデンサ124からなるサンプルホールド回路を挿入することにより、本発明の効果を損うことなくCCDの出力電圧から板送クロックの高周波成分を取り除くことができる。

【発明の効果】

以上述べたように、本発明によれば、低電圧

でCCDを動作させても、出力ダイナミックレンジを確保し、出力電圧も大きくとれ；通過周波数帯域も低下せず良好に動作する。したがって省電力化が進み、低電圧電池で動作するポータブルVTR、ビデオカメラなどの信号処理回路において効果的である。

4 図面の簡単な説明

第1図は従来のCCDの出力部を示す裏部断面図、第2図は第1図のCCD部の平面図、第3図は本発明の一実施例のCCDの出力部を示す裏部断面図、第4図は第3図の実施例の半導体基板の平面図、第5図は本発明の他の実施例のCCDの出力部を示す回路構成図、第6図はCCDの動作を説明するための動作電圧波形図である。

101 - 第1のソースフォロウFET

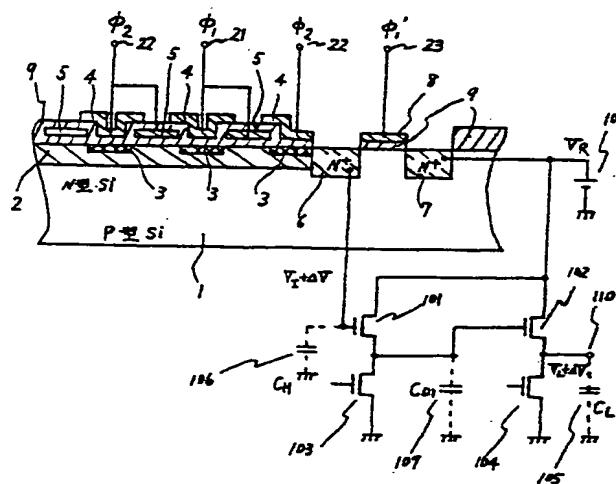
102 - 第2のソースフォロウFET

111 - 第3のソースフォロウFET

6 - 出力抵抗層

代理人弁理士 高橋 明夫

オ1図



オ2図

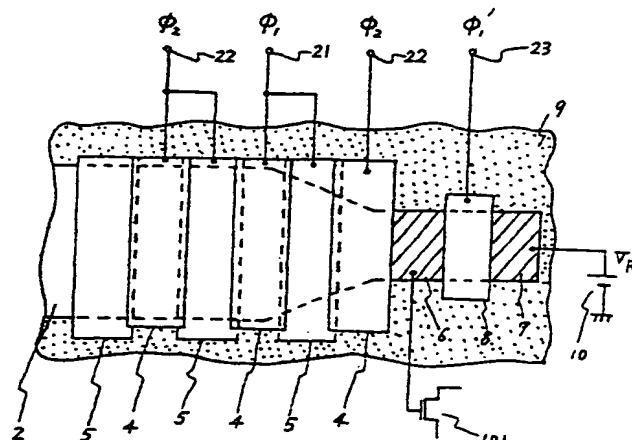


図 3

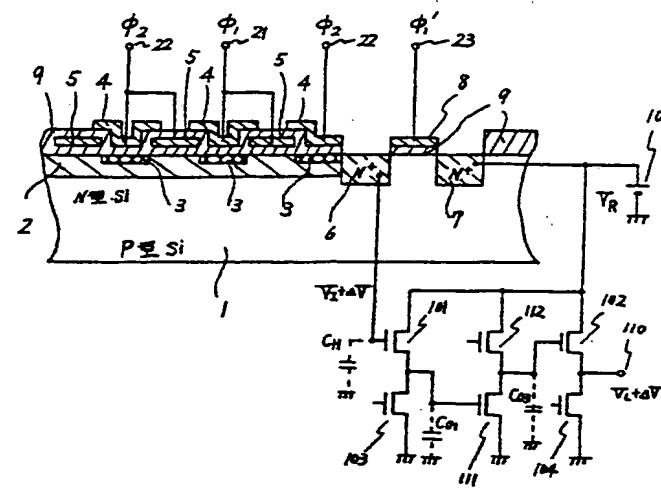
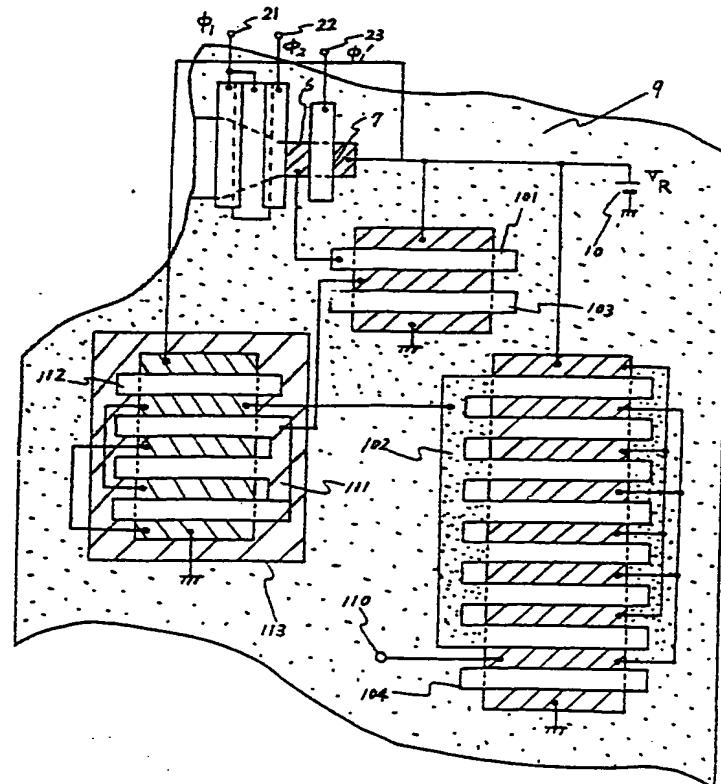
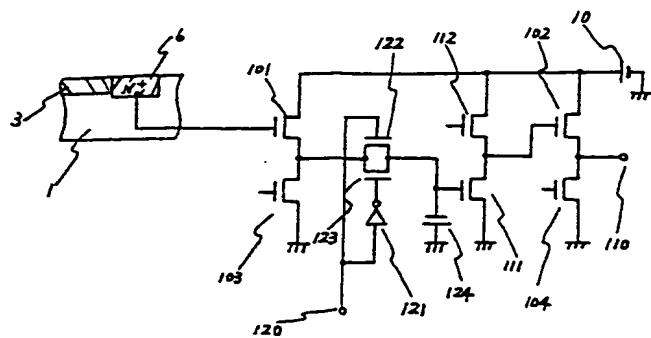


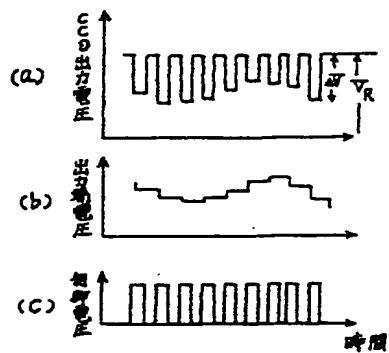
図 4



第5図



第6図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.